## 实验四 RS触发器和JK触发器

### 一、实验目的

1、熟悉Multisim14.0仿真软件环境，掌握逻辑分析仪的使用方法；

2、掌握常用触发器的特性及设计方法；

3、掌握描述触发器逻辑功能的真值表，特征方程及波形图。

### 二、实验原理

触发器是构成时序逻辑电路的基本单元电路。在输入信号的作用下，触发器可以从一种状态翻转到另一种状态。当输入信号消失后，能保持其状态不变。触发器的输出状态不仅与输入信号有关，而且还和原来电路状态有关，具有记忆功能。RS触发器可以由与非门构成，实验中使用74LS00N是常用的2输入与非门。JK触发器是数字电路[触发器](https://baike.baidu.com/item/%E8%A7%A6%E5%8F%91%E5%99%A8/193146" \t "https://baike.baidu.com/item/JK%E8%A7%A6%E5%8F%91%E5%99%A8/_blank)中的一种基本电路单元。JK触发器具有置0、置1、保持和翻转功能。7473N的J、K端同时接高电平时，输出端的状态会随着每输入一个脉冲改变一次。

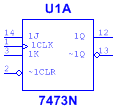
 

图4-1 74LS00N 图4-2 7473N

### 三、实验任务

1、按图4-3所示创建RS触发器，通过探测器观察数据。探测器亮表示数据为“1”，探测器灭表示数据为“0”。通过改变开关J1，J2的状态改变R，S的输入。当触发器的输入R=0，S=1,时，触发器的输出Q=0，取其他数据列出RS触发器真值表并列出特征方程。

2、按图4-4所示创建JK触发器，通过改变三个开关改变输入数据，按对应开关的开关键符合，即可改变开关位置从而改变输入数据，电源V2和地分别表示数据1和0。改变开关J3，改变1CLR的状态，改变J1，J2改变J，K的输入，在逻辑分析仪中观察波形，并记录输出Q的值。1CLR=0时，观测清零。

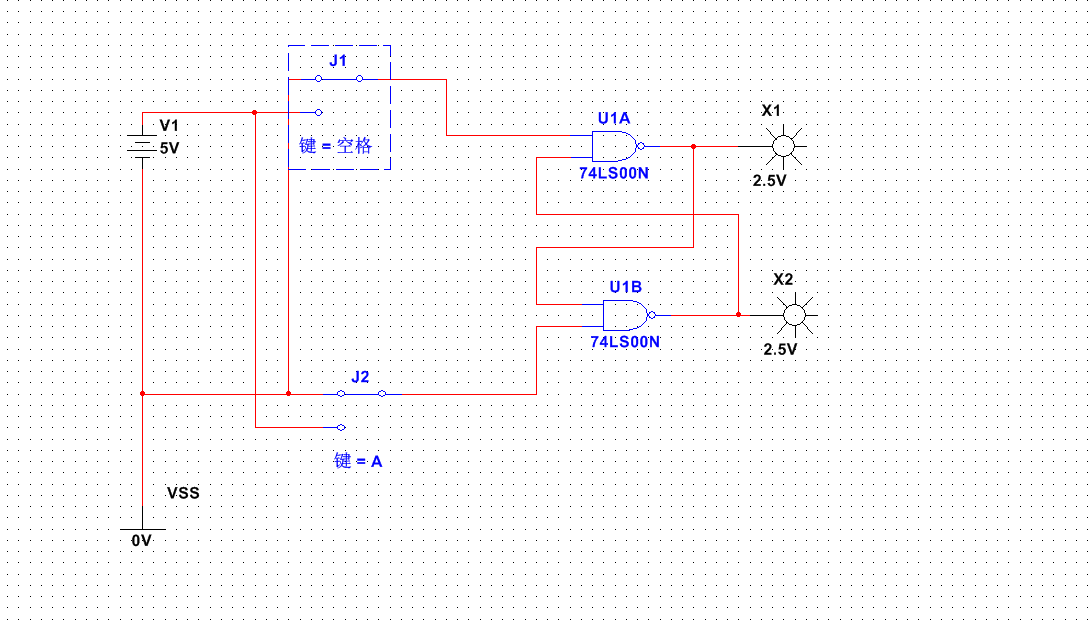


图4-3 RS触发器

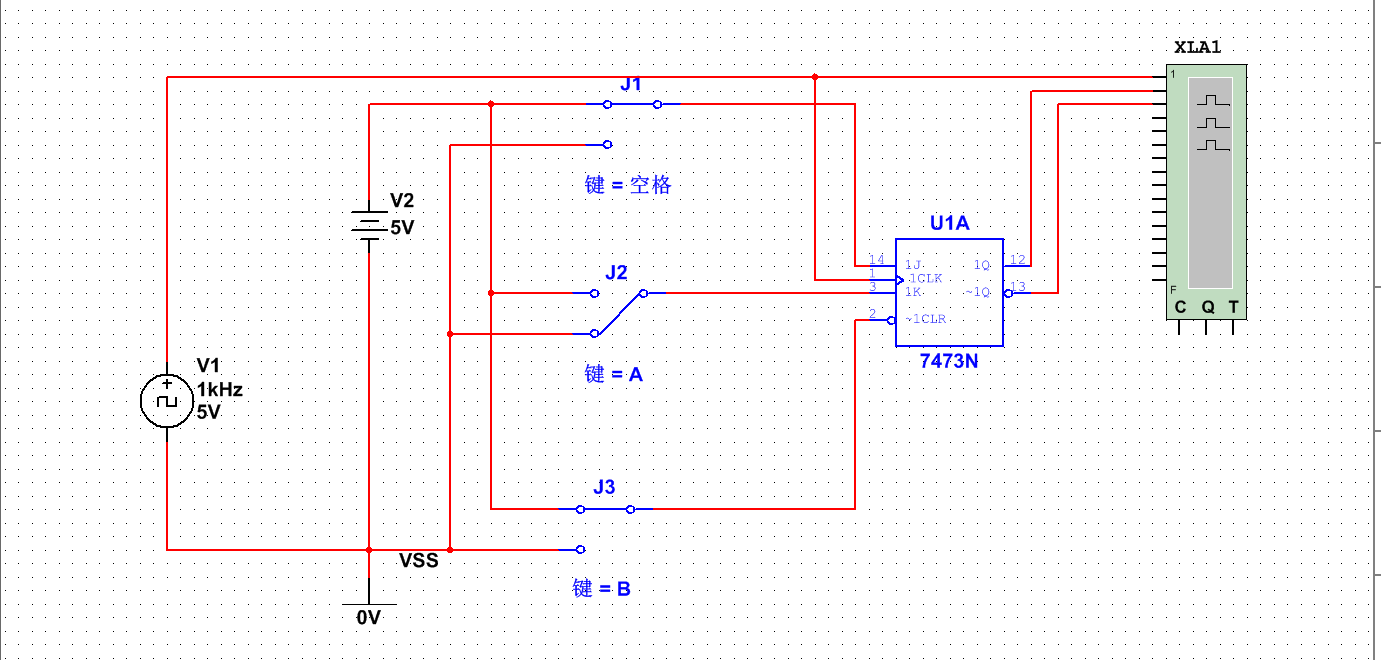
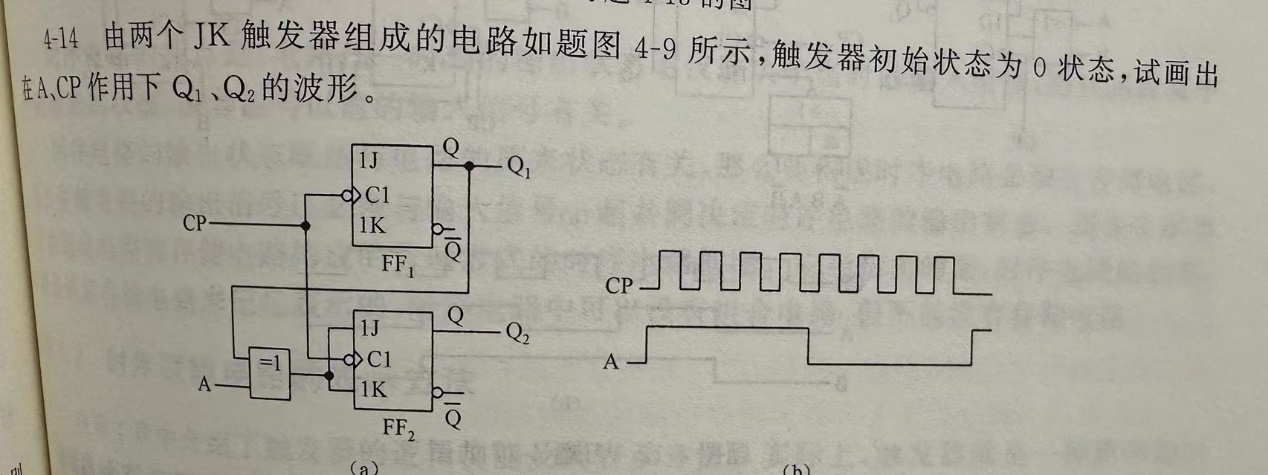


图4-4 JK触发器

3、实现课后作业4-14题。



可能出现的问题：在逻辑分析仪中观测不到变化。解决：双击逻辑分析仪，在时钟设置选项中，选择外部，才能用到给定的CP时钟。CLK给出的CP时钟周期可调。

实验报告重点：

(1)~CLR是高优先级别的清零端，在需要的时候清零，因此清零端在不需要的时候应该置1。(2)题目要求的JK触发器是下降沿触发。在使用上升沿触发的触发器来实现的时候，应在CP时钟串联非门之后再接入JK触发器的时钟端。(3)在用逻辑分析仪显示的时候，应将系统时钟直接连接到分析仪，要能从波形上观察到下降沿触发Q端的变化。(4)A是功能控制端，需要能观察出AB在不同取值情况下，整个逻辑电路图的功能。为方便控制，A的拨码开关最好使用快捷键控制。

4、实验要求

（1）简述两类触发器的原理

（2）记录不同输入的仿真结果，画真值表或波形图，并与触发器理论上的输出值进行比较。

（3）整理实验数据，分析实验结果与理论是否相符。